

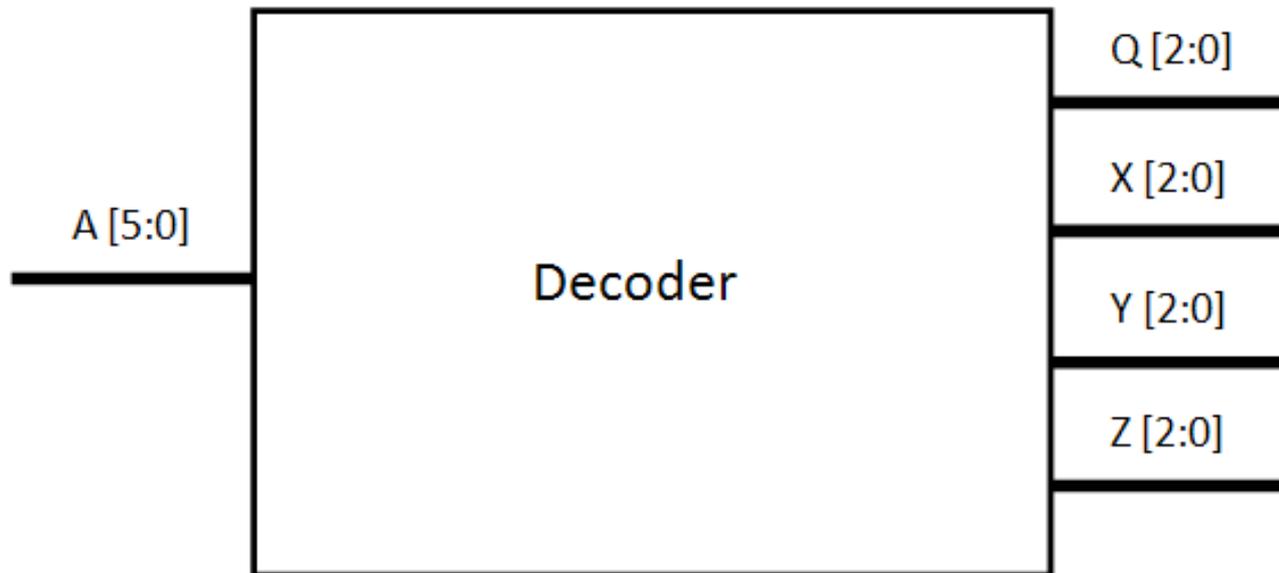
Маршрут разработки цифрового блока СБИС

Выполнил: Неверов Игорь

Маршрут разработки СБИС

1. Функциональная модель
2. Синтез
3. Топология
4. Верификация

Декодер



Декодер

Вход	Выходы			
A	Q	X	Y	Z
000000	000	001	001	001
000001	001	010	001	001
000011	011	010	010	001
000111	010	010	010	010
001111	110	010	010	100
011111	111	010	100	100
111111	101	100	100	100

Функциональная модель

Языки описания аппаратуры ИС:

- VHDL
- Verilog HDL
- System Verilog

Функциональная модель

```
module dec_3 (  
    input logic [5:0] A,  
  
    output logic ERR,  
  
    output logic [2:0] Q,  
    output logic [2:0] X,  
    output logic [2:0] Y,  
    output logic [2:0] Z  
);  
  
always_comb begin  
  
    unique case (A)  
        6'b000000 : begin  
            Q = 3'b000;  
            X = 3'b001;  
            Y = 3'b001;  
            Z = 3'b001;  
            ERR = 0;  
        end  
        ...  
    endcase  
end
```

Синтез

Входные файлы:

- функциональная модель
- библиотека элементов

Выходные файлы:

- Netlist
- SDF (Standard Delay Format)

Топология

Стадии разработки топологии:

- floorplan
- powerplan
- placement
- routing
- optimization

Топология

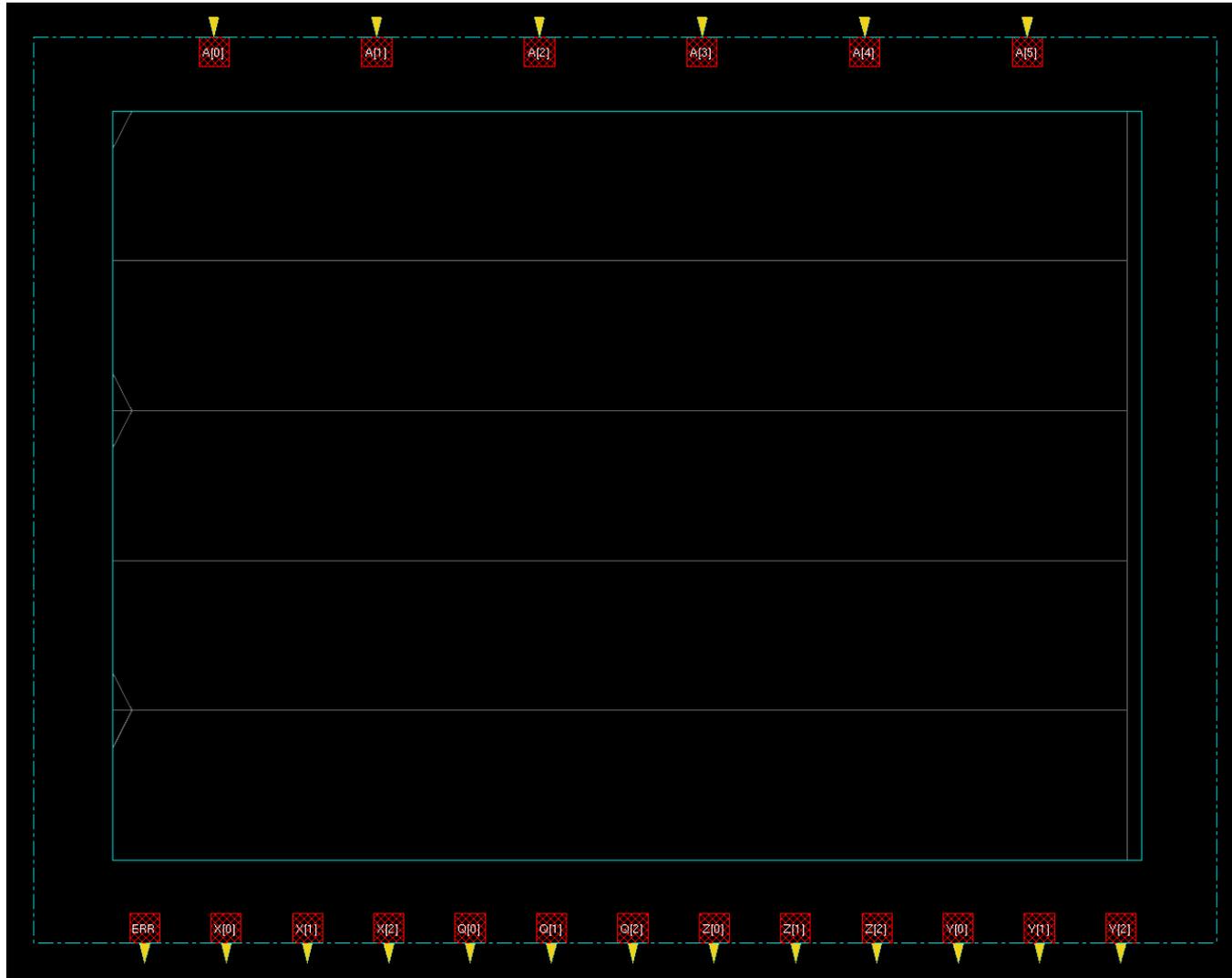
Входные файлы:

- Netlist
- LEF (Layout exchange format)
- SDC (Standard Delay Constraint)

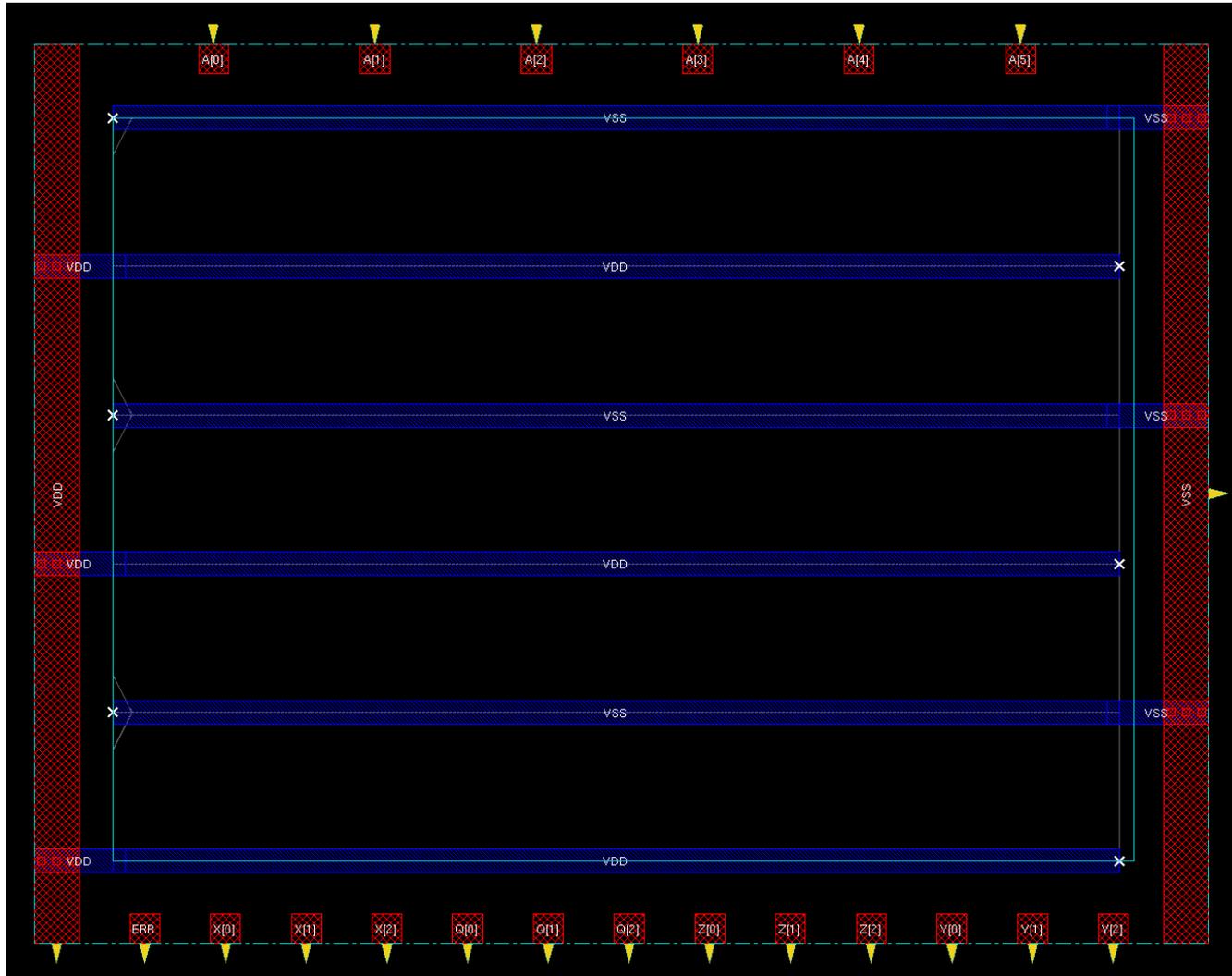
Выходные файлы:

- GDS (Graphic Database System)
- Netlist

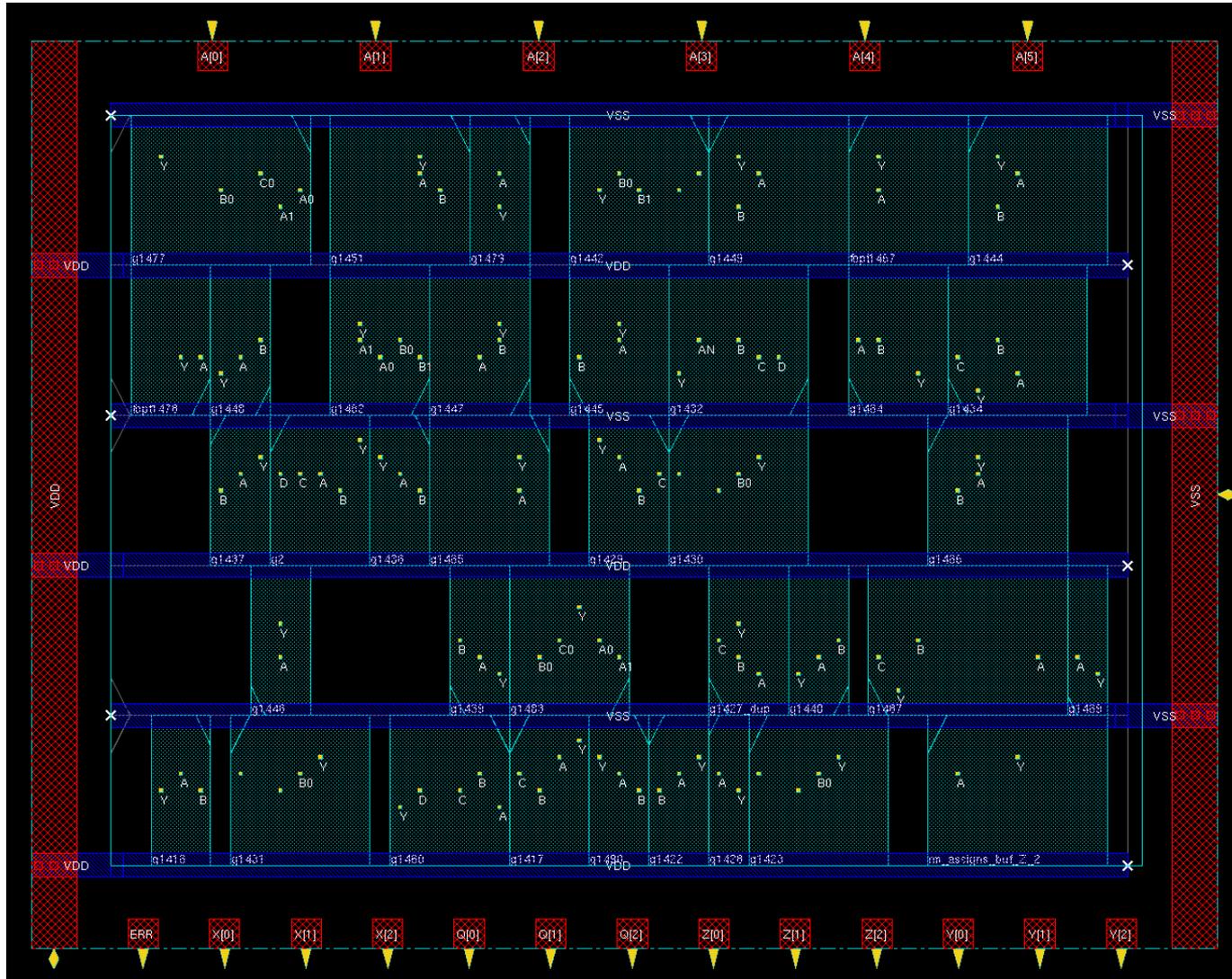
Floorplan



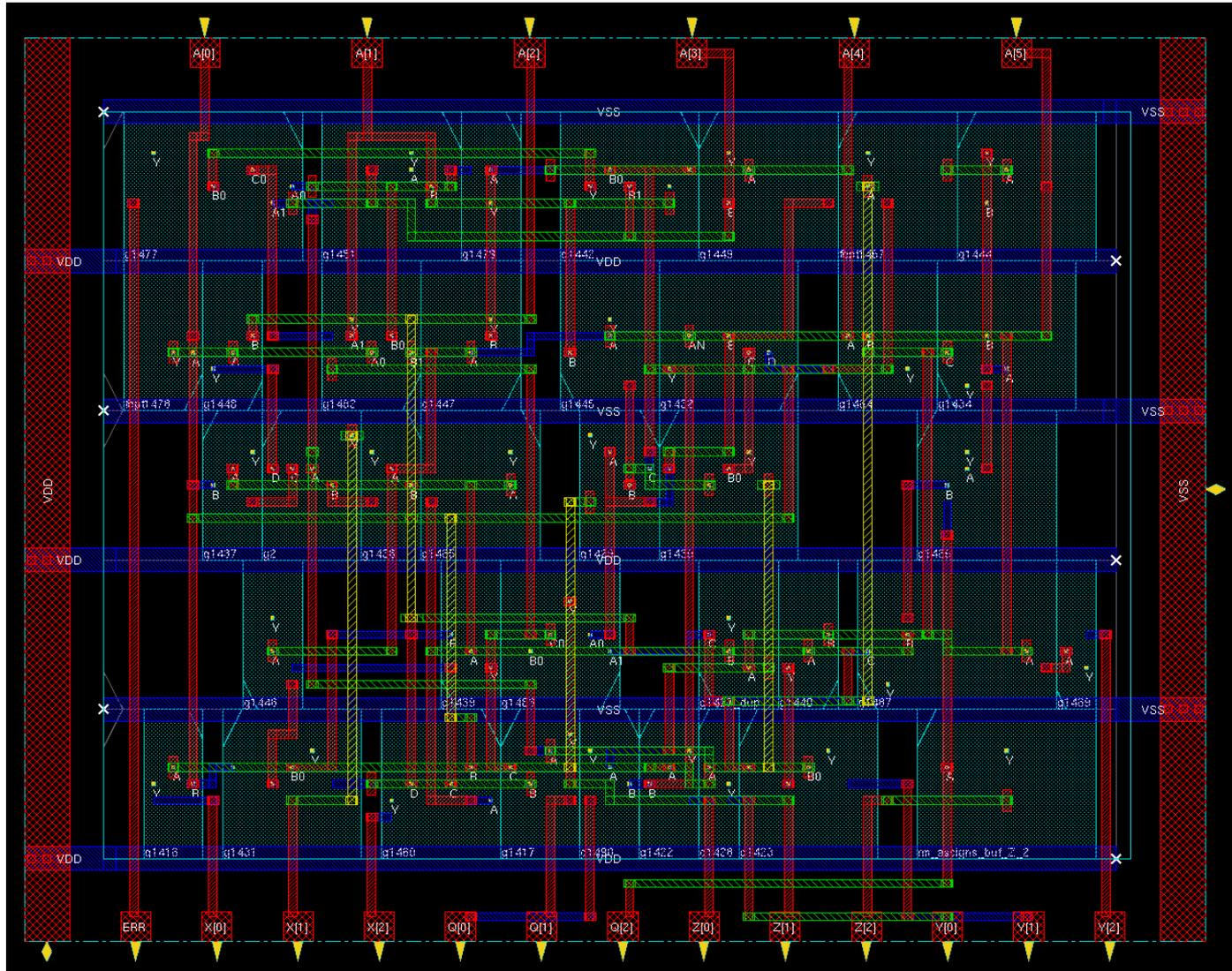
Powerplan



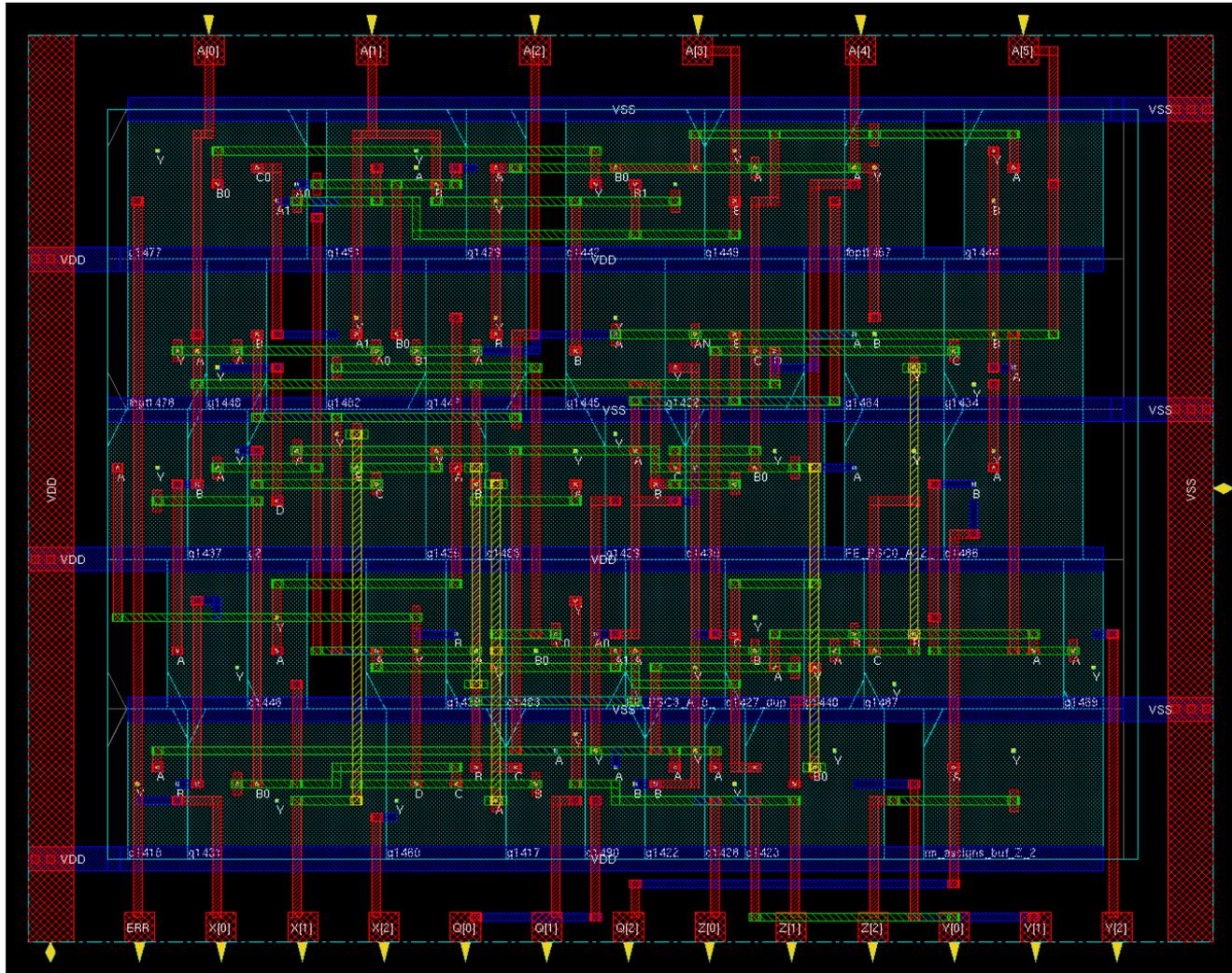
Placement



Routing



Optimization



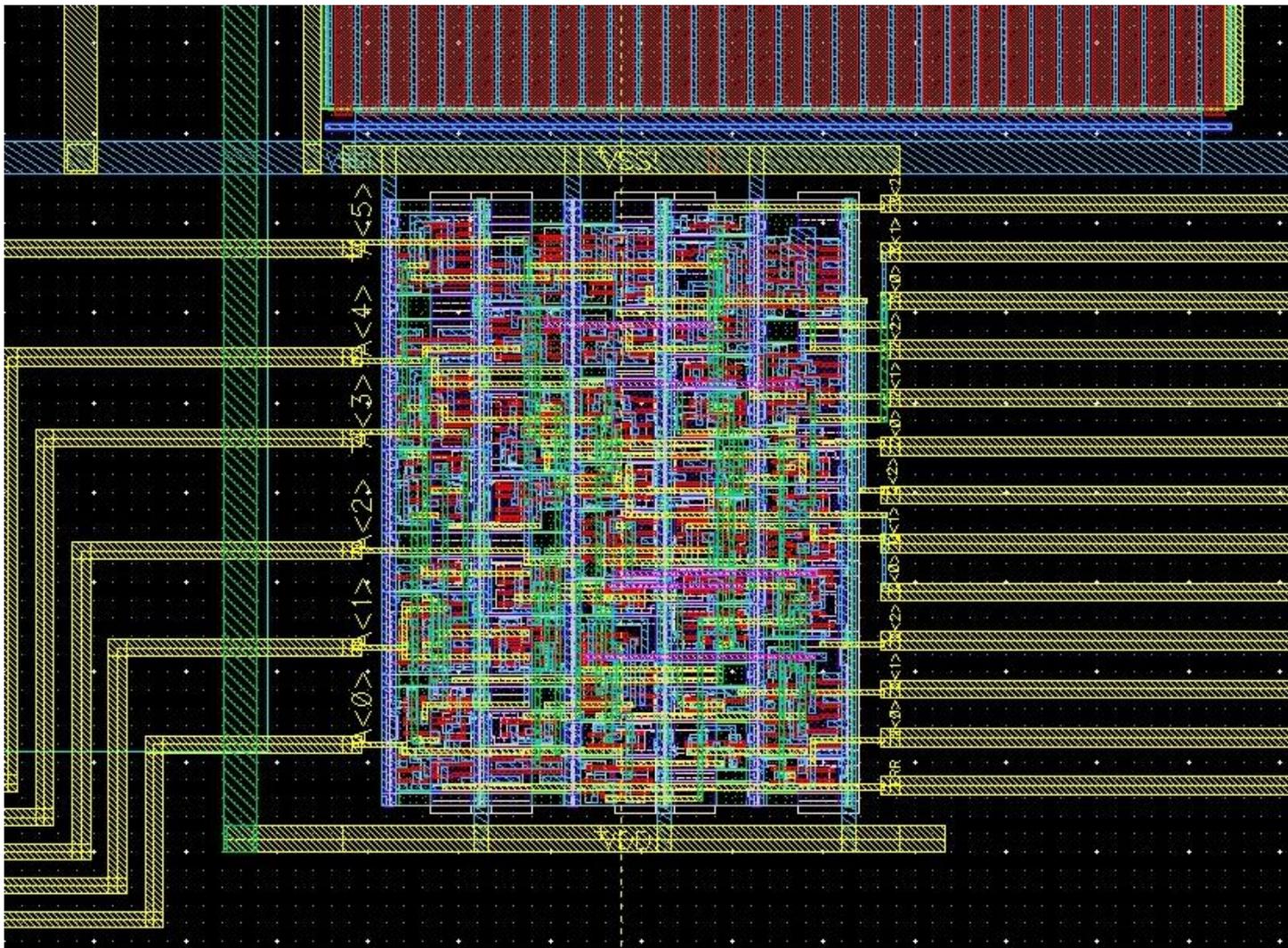
Верификация

DRC (Design Rule Check) – проверка топологии на соответствие правилам проектирования.

LVS (Layout vs Schematic) – проверка соответствия топологии оригинальной функциональной схеме.

Функциональная верификация – проверка выполнения исходного функционального назначения.

Интеграция



Спасибо за внимание!